

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
20. September 2001 (20.09.2001)

PCT

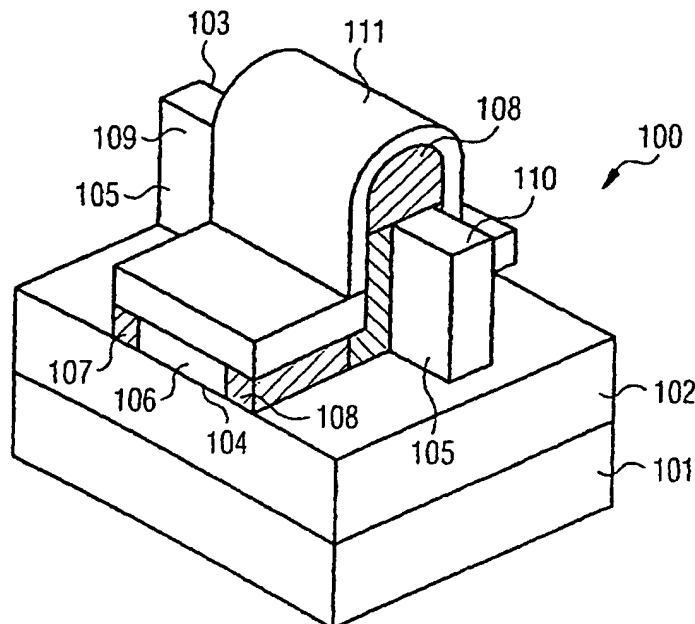
(10) Internationale Veröffentlichungsnummer
WO 01/69686 A1

- (51) Internationale Patentklassifikation⁷: H01L 29/786, 21/336, 29/423 (72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): HOFMANN, Franz [DE/DE]; Herbergstrasse 25B, 80995 München (DE).
(21) Internationales Aktenzeichen: PCT/DE01/00878 RÖSNER, Wolfgang [DE/DE]; Sudetenstrasse 23, 85521 Ottobrunn (DE). LUYKEN, Richard, Johannes [DE/DE]; Böcklerweg 28, 81825 München (DE).
(22) Internationales Anmeldedatum: 8. März 2001 (08.03.2001)
(25) Einreichungssprache: Deutsch (74) Anwalt: VIERING, JENTSCHURA & PARTNER; Steinsdorfstrasse 6, 80538 München (DE).
(26) Veröffentlichungssprache: Deutsch (81) Bestimmungsstaaten (national): JP, KR, US.
(30) Angaben zur Priorität: 100 12 112.8 13. März 2000 (13.03.2000) DE (84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Strasse 53, 81669 München (DE). Veröffentlicht:
— mit internationalem Recherchenbericht

[Fortsetzung auf der nächsten Seite]

(54) Title: BAR-TYPE FIELD EFFECT TRANSISTOR AND METHOD FOR THE PRODUCTION THEREOF

(54) Bezeichnung: STEG-FELDEFFEKTTTRANSISTOR UND VERFAHREN ZUM HERSTELLEN EINES STEG-FELDEFFEKTTTRANSISTORS



(57) Abstract: The bar-type field effect transistor consists of a substrate, a bar placed above a substrate and a gate and spacer placed above part of the bar.

[Fortsetzung auf der nächsten Seite]



WO 01/69686 A1



— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung

Steg-Feldeffekttransistor und Verfahren zum Herstellen eines Steg-Feldeffekttransistors

5

Die Erfindung betrifft einen Steg-Feldeffekttransistor und ein Verfahren zum Herstellen eines Steg-Feldeffekttransistors.

10 Ein solcher Steg-Feldeffekttransistor und ein Verfahren zum Herstellen eines solchen Steg-Feldeffekttransistors sind aus [1] bekannt.

Der Steg-Feldeffekttransistor 200 aus [1] weist ein Silizium-substrat 201, und darauf eine Oxidschicht aus Siliziumoxid SiO_2 202 auf (siehe Fig.2).

Auf einem Teil der Oxidschicht 202 ist ein Steg 203 aus Silizium vorgesehen. Über einem Teil des Stegs 203 und entlang
20 der gesamten Höhe des Teils des Stegs ist ein Gate 204 des sich ergebenden Steg-Feldeffekttransistors 200 angeordnet.

Bei dem aus [1] bekannten Steg-Feldeffekttransistor 200 kann der Kanalbereich (nicht dargestellt) mit Hilfe des sich entlang der Seitenwände 205 des Stegs 203 erstreckenden Gates
25 204 von Ladungsträgern invertiert werden. Der Steg 203 bildet einen Source-Bereich 206 und einen Drain-Bereich 207.

Bei dem aus [1] bekannten Steg-Feldtransistor 200 existiert jedoch keine selbstjustierte Spacer-Technologie für die LDD-Implantation oder HDD-Implantation, um den Steg 203, der auch als Mesa bezeichnet wird, in dem Source-Bereich 206 und in dem Drain-Bereich 207 mit Dotieratomen hoch zu dotieren.

35 Dies liegt insbesondere daran, dass sich Oxid-Spacer 208 lediglich entlang der Seitenwände 205 des Stegs 203 ausbilden.

Durch die vorhandenen Oxid-Spacer 208 wird jedoch das implantieren der Mesa 203 über die Seitenwände 205 verhindert, und es wird zusätzlich zu dem Source-Bereich 206 und dem Drain-Bereich 207 der Kanalbereich mit Dotieratomen implantiert.

- 5 Der Kanalbereich ist nicht durch einen Oxidspacer geschützt. Dies führt zu einer Unterdiffusion bei einer Implantation des Steg-Feldtransistors 200 mit Dotieratomen.

- 10 Weiterhin ist es oftmals wünschenswert, Source-Bereich 206 und den Drain-Bereich 207 des Stegs 203 frei zugänglich zu erhalten, um den Drain-Bereich 207 des Stegs 203 auf einfache Weise und exakt dotieren zu können.

- 15 Dies ist jedoch mit dem Steg-Feldeffekttransistor 200 gemäß dem [1] und dementsprechenden Herstellungsverfahren, das in [1] beschrieben ist, nicht möglich.

- 20 Unter einem Steg-Feldeffekttransistor ist im Rahmen der Erfindung allgemein ein Feldeffekttransistor zu verstehen, deren Source und Drain sich vertikal, auch freiliegend, oder über einer Isolatorschicht, beispielsweise einer Oxidschicht, erstreckt und ein Gate aufweist, das sich teilweise über dem sich vertikal erstreckenden Gebiet, insbesondere über dem Kanalbereich des Feldeffekttransistors, und entlang der Seitenwände der sich ergebenden vertikalen Struktur erstreckt. Der
25 Kanalbereich erstreckt sich entlang der vertikalen Struktur von Source zu Drain.

- 30 Somit liegt der Erfindung das Problem zugrunde, einen Steg-Feldeffekttransistor anzugeben, bei dem eine Unterdiffusion im Kanalbereich unterhalb des Gates im Rahmen einer Implantierung des Gates mit Dotieratomen vermieden wird.

- 35 Weiterhin liegt der Erfindung das Problem zugrunde, Verfahren zur Herstellung eines solchen Steg-Feldeffekttransistors anzugeben.

Die Probleme werden durch den Steg-Feldeffekttransistor sowie durch die Verfahren zum Herstellen des Steg-Feldeffekttransistors mit den Merkmalen gemäß den unabhängigen Patentansprüchen gelöst.

5

Ein Steg-Feldeffekttransistor weist ein Substrat, einen Steg über dem Substrat und ein Gate und einen Spacer über einem Teil des Stegs auf.

- 10 Bei einem Verfahren zum Herstellen eines Steg-Feldeffekttransistors wird auf einem Substrat ein Steg gebildet. Über dem Substrat und über einen Teil des Stegs wird eine Gateschicht ausgebildet. Anschließend wird über der Gateschicht eine Isolationsschicht gebildet. Unterhalb der Isolationsschicht wird
15 die Gateschicht teilweise entfernt und in dem teilweise entfernten Gebiet wird ein Spacer gebildet.

- In einem weiteren Verfahren zum Herstellen eines Steg-Feldeffekttransistors wird über einem Substrat ein Steg ausgebil-
20 det. Über dem Substrat, entlang und über einem Teil des Stegs wird eine Gateschicht gebildet. Über der Gateschicht wird eine Isolationsschicht gebildet. Über dem Bereich, der nicht von der Gateschicht bedeckt ist, wird eine wegzuätzende Schicht gebildet bis zu einer Höhe, die oberhalb des Stegs
25 und unterhalb der Isolationsschicht liegt. Über einem Teil der wegzuätzenden Schicht wird ein Spacer gebildet und die wegzuätzende Schicht wird im wesentlichen bis auf den Teil entfernt, der direkt unterhalb des Spacers liegt.

- 30 Durch die Erfindung wird erstmals ein Steg-Feldeffekttransistor mit einem gemäß einem selbstjustierten Prozess erzeugten Spacer angegeben. Bei dem erfindungsgemäßen Steg-Feldeffekttransistor ist der Spacer über einen Teil des Stegs ausgebildet, so dass eine Unterdiffusion bei einer Source-,
35 Drain-Implantierung mit Dotieratomen vermieden wird.

Auch bleiben bei dem erfindungsgemäßen Steg-Feldeffekttransistor der Source-Bereich und der Drain-Bereich des Stegs frei zugänglich, so dass eine exakte und einfache Dotierung des Source-Bereichs und des Drain-Bereichs des Stegs möglich
5 wird.

Bevorzugte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

10 Die im weiteren beschriebenen Ausgestaltungen beziehen sich sowohl auf den Steg-Feldeffekttransistor als auch auf die Verfahren zum Herstellen des Steg-Feldeffekttransistors.

Das Gate und/oder der Spacer kann/können sich im wesentlichen
15 entlang der gesamten Höhe des Teils des Stegs erstrecken.

Das Substrat kann Silizium aufweisen, und es kann alternativ auch auf dem Substrat eine weitere Schicht, beispielsweise aus Siliziumoxid vorgesehen sein, allgemein aus einem Oxid,
20 auf dem der Steg sowie das Gate angeordnet sind.

Der Steg kann Silizium aufweisen.

Gemäß einer Ausgestaltung der Erfindung weist das Gate Polysilizium auf. Ferner kann das Gate auch durch einen Stapel von Polysilizium und Wolframsilizid gebildet werden.
25

Der Spacer kann Siliziumoxid und/oder Siliziumnitrid aufweisen.
30

Gemäß einer weiteren Ausgestaltung der Erfindung weist der Spacer einen ersten Spacerteil mit Siliziumoxid und einen zweiten Spacerteil mit Siliziumnitrid auf. Der zweite Spacerteil ist über dem ersten Spacerteil angeordnet.
35

Gemäß einer weiteren Ausgestaltung der Erfindung ist zwischen dem Substrat und dem Steg und dem Gate eine Ätzstoppschicht

vorgesehen. Die Ätzstoppschicht weist vorzugsweise Siliziumnitrid auf.

Durch diese Ausgestaltung wird eine weitere Vereinfachung des
5 Herstellungsverfahrens des Steg-Feldeffekttransistors erreicht, da keine aktive Überwachung beim Ätzen der das Gate bildenden Polysiliziumschicht an der Grenze zu dem Substrat oder dem Oxid erforderlich ist. Der Ätzprozess wird gemäß dieser Ausgestaltung automatisch an der Ätzstoppschicht ge-
10 stoppt.

Weiterhin kann die Höhe des Spacers bezüglich des Substrats im wesentlichen gleich der Höhe des Gates sein.

15 Durch diese Ausgestaltung wird eine Unterdiffusion bei der Implantierung des Source-Bereichs und des Drain-Bereichs des Steg-Feldeffekttransistors praktisch vollständig vermieden.

Zumindest ein Teil der Elemente des Steg-Feldeffekttransi-
20 stors kann mittels Abscheiden gebildet werden.

Somit kann gemäß dieser Weiterbildung übliche Halbleiter-
Prozesstechnik eingesetzt werden, wodurch eine einfache und
kostengünstige Realisierung der Herstellungsverfahren ermög-
25 licht ist.

Die zu entfernende Schicht kann mittels Ätzen entfernt werden, beispielsweise mittels Trockenätzens oder Nassätzens.

30 Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im weiteren näher erläutert.

Es zeigen

35 Figur 1 einen Steg-Feldeffekttransistor gemäß einem ersten Ausführungsbeispiel der Erfindung;

Figur 2 einen Steg-Feldeffekttransistor gemäß dem Stand der Technik;

5 Figur 3 eine Draufsicht auf den Steg-Feldeffekttransistor aus Figur 1 mit einer Schnittlinie A-A';

10 Figuren 4A bis 4E Schnittansichten des Steg-Feldeffekttransistors aus Figur 1 entlang der Schnittlinie A-A' aus Figur 3, in denen die einzelnen Verfahrensschritte des Herstellungsverfahrens des Steg-Feldeffekttransistors aus Figur 1 gemäß einem ersten Ausführungsbeispiel der Erfindung dargestellt sind;

15 Figur 5 einen Steg-Feldeffekttransistor gemäß einem zweiten Ausführungsbeispiel der Erfindung;

Figur 6 eine Draufsicht des Steg-Feldeffekttransistors aus Figur 5 mit einer Schnittlinie B-B';

20 Figuren 7A bis 7E Schnittansichten des Steg-Feldeffekttransistors aus Figur 5 entlang der Schnittlinie B-B' aus Figur 6, in denen die einzelnen Verfahrensschritte des Herstellungsverfahrens des Steg-Feldeffekttransistors aus Figur 6 gemäß einem zweiten Ausführungsbeispiel der Erfindung dargestellt sind;

25

Figur 8 einen Steg-Feldeffekttransistor gemäß einem dritten Ausführungsbeispiel der Erfindung.

30 Fig.1 zeigt einen Steg-Feldeffekttransistor 100 gemäß einem ersten Ausführungsbeispiel der Erfindung.

Der Steg-Feldeffekttransistor 100 weist ein Substrat 101 auf, auf dem eine Oxidschicht 102 aus Siliziumoxid SiO_2 einer
35 Schichtdicke von ungefähr 200 abgeschieden ist (vgl. Fig.1).

Auf der Oxidschicht 102 ist ein Steg 103 aus Silizium ausgebildet. Zum Herstellen des Stegs 103 wird gemäß dem Ausführungsbeispiel ein aus der SOI-Technik (SOI: Silicon on Isolator) bekanntes Verfahren eingesetzt. Über einem Teilbereich des Stegs 103 und entlang des Teilbereichs in vertikaler Richtung entlang der Seitenwände 105 des Stegs 103 und in dem entsprechenden, linear fortgesetzten Bereich auf der Oxidschicht 102 sind eine ein Gate 104 bildende Polysiliziumschicht 106 sowie Spacer 107, 108 aus Siliziumoxid angeordnet.

Über dem Gate 104 und den Spacern 107, 108 ist eine Schutzschicht 111 aus Siliziumnitrid Si_3N_4 zum Schutz des Gates 104 aufgebracht. Somit bilden sich ein Source-Bereich 109 und ein Drain-Bereich 110 aus, die miteinander abhängig von der Steuerung mittels des Gates 104 über einen Kanalbereich (nicht dargestellt) leitend gekoppelt sein können.

Im weiteren werden für gleiche Elemente in unterschiedlichen Zeichnungen die gleichen Bezugszeichen verwendet.

Fig.3 zeigt den Steg-Feldeffekttransistor 100 aus Figur 1 in der Draufsicht.

In Fig.3 ist eine Schnittlinie A-A' dargestellt, entlang der ein Schnitt durchgeführt wird, die die in Fig.4A bis Fig.4E dargestellten Schnittansichten des Steg-Feldeffekttransistors 100 aus Fig.1 ergeben.

Anhand der Fig.4A bis Fig.4E werden im weiteren die einzelnen Verfahrensschritte zum Herstellen des Steg-Feldeffekttransistors 100 gemäß dem ersten Ausführungsbeispiel erläutert.

Ausgegangen wird von einem SOI-Wafer, d.h. anschaulich von einem Silizium-Substrat 101, in dem sich eine Siliziumoxidschicht 102 befindet (vgl. Fig.4A).

In einem ersten Schritt erfolgt eine Einstellung der Einsatzspannung des Steg-Feldeffekttransistors 100 durch Implantation von Dotieratomen, gemäß dem Ausführungsbeispiel mit Bor-
5 Atomen. Bei einem vollständig verarmten Transistor kann diese Kanalimplantation im Rahmen des Verfahrens auch weggelassen werden.

10 In einem weiteren Schritt wird auf die gebildete Siliziumschicht Photolack aufgetragen derart, dass durch den Photolack angegeben wird, wo sich der Steg 103 ausbilden soll.

In einem weiteren Schritt wird das Silizium, das nicht mit Photolack bedeckt ist, mittels eines Nassätzverfahrens oder
15 eines Trockenätzverfahrens geätzt.

Das Ätzverfahren wird gestoppt, sobald die Oberfläche der Siliziumoxidschicht 102 erreicht ist.

20 In einem weiteren Schritt wird der Photolack von dem sich nunmehr ergebenden Steg 103 entfernt.

In einem weiteren Schritt wird entlang der Seitenwände des Stegs 103 sowie über dem Steg 103 Gateoxid gebildet.
25

In einem weiteren Schritt wird über der Siliziumoxidschicht 102, entlang der Seitenwände des Stegs 103 sowie über dem Steg 103 eine Schicht Polysilizium mittels eines CVD-
Verfahrens abgeschieden. Während des Abscheidens des Polysiliziums wird die sich ergebende Polysiliziumschicht mit Phosphor-Atomen oder Bor-Atomen dotiert.
30

In einem weiteren Schritt wird auf der Polysiliziumschicht, die bei dem Steg-Feldeffekttransistor 100 als Gate 104 dient,
35 mittels eines CVD-Verfahrens eine Siliziumnitridschicht (Si_3Ni_4) als Schutzschicht 111 abgeschieden.

Anschließend wird Photolack auf der Siliziumnitridschicht 107 aufgetragen derart, dass durch den Photolack der Bereich in weiteren Ätzschritten nicht geätzt wird, der später als Gate 104 bzw. Spacer 105, 106 verwendet werden soll.

5

In einem anschließenden Schritt wird die Siliziumnitridschicht 111, die nicht mit Photolack bedeckt ist, mittels eines Nassätzverfahrens oder eines Trockenätzverfahrens geätzt.

- 10 Weiterhin wird die Polysiliziumschicht 106, die nicht durch den Photolack geschützt ist, mittels eines Trockenätzverfahrens oder eines Nassätzverfahrens weggeätzt.

- 15 Das Ätzverfahren wird an der Oberfläche der Siliziumoxidschicht 102 beendet, so dass Oxid nicht geätzt wird.

Anschließend wird der Photolack von der Siliziumnitridschicht 111 entfernt (vgl. Fig.4B).

- 20 In einem weiteren Schritt (vgl. Fig.4C) wird mittels Nassätzens oder Trockenätzens die Polysiliziumschicht 160 unterhalb der Siliziumnitridschicht 111 teilweise weggeätzt. Es entsteht somit anschaulich eine T-förmige Struktur 400.

- 25 In einem weiteren Schritt (vgl. Fig.4D) wird eine Siliziumoxidschicht der Dicke von ungefähr 500 nm mittels eines CVD-Verfahrens abgeschieden.

- 30 Anschließend wird die Siliziumoxidschicht mittels eines chemisch-mechanischen Polierverfahrens wieder entfernt so lange, bis die Siliziumnitridschicht 111 erreicht ist. Ist die Siliziumnitridschicht 111 erreicht, wird das CMP-Verfahren gestoppt.

- 35 Anschließend wird mittels eines Trockenätzverfahrens Siliziumoxid bis zu der Oberfläche der Siliziumoxidschicht 102 geätzt. Das Trockenätzen ist selektiv zu Siliziumnitrid.

Somit bilden sich unterhalb der Siliziumnitridschicht, aber oberhalb des Stegs 103 und an den Seitenwänden des Stegs und auf der Siliziumoxidschicht 102 die in Figur 1 dargestellten gewünschten Spacer 105, 106 des Steg-Feldeffekttransistors 100 aus (vgl. Fig. 4D).

In einem weiteren Schritt (vgl. Fig. 4E) wird Streuoxid abgeschieden und der Source-Bereich und der Drain-Bereich des Stegs 104 werden über die Seitenwände des Stegs 103, die nunmehr freiliegen, n^+ -implantiert.

Auch eine Implantation von Atomen in den Kanalbereich ist nunmehr nicht möglich, da das gesamte Gate 104 durch die Spacer 105, 106 vollständig geschützt ist.

In abschließenden Standard-Halbleiter-Prozessschritten können für den Steg-Feldeffekttransistor 100 Kontakte für Gate, Source, Drain, geätzt werden, und es ist eine Silizidierung des Steg-Feldeffekttransistors 100 möglich.

Fig. 5 zeigt einen Steg-Feldeffekttransistor 500 gemäß einem zweiten Ausführungsbeispiel der Erfindung.

Bei dem Steg-Feldeffekttransistor 500 ist zu dessen Herstellung, wie im weiteren erläutert wird, kein Unterätzen der Polysiliziumschicht 106 mehr erforderlich.

Somit ist der Steg-Feldeffekttransistor 500 gemäß dem zweiten Ausführungsbeispiel insbesondere für Halbleiter-Standardprozesse geeignet.

Der Steg-Feldeffekttransistor 500 gemäß dem zweiten Ausführungsbeispiel unterscheidet sich von dem Steg-Feldeffekttransistor 100 gemäß dem ersten Ausführungsbeispiel im wesentlichen dadurch, dass die Siliziumnitridschicht 107 im wesentlichen nur über der Polysiliziumschicht des Gate 104 liegt und

dass über den Spacern 107, 108 zwei Siliziumnitrid-Spacer 501, 502 angeordnet sind.

Fig.6 zeigt den Steg-Feldeffekttransistor 500 aus Fig.5 der Draufsicht mit der Schnittlinie B-B', entlang der die Schnittansichten der Fig.7A bis Fig.7E des Steg-Feldeffekttransistors 500 sich ergeben.

Fig.7A zeigt den Steg-Feldeffekttransistor 500 gemäß dem zweiten Ausführungsbeispiel in der Schnittansicht entlang der Schnittlinie B-B' aus Fig.6 mit dem Substrat 101 der Siliziumoxidschicht 102 und dem Steg 103 sowie einer Siliziumnitridschicht 701 auf dem Steg 103.

Optional kann in einem weiteren Schritt eine Ladungsträgerimplantation zum Einstellen der Einsatzspannung des Steg-Feldeffekttransistors 500 durchgeführt werden.

In einem weiteren Schritt wird Gateoxid über dem Steg und der Siliziumnitridschicht 701 gebildet.

In einem weiteren Schritt (vgl. Fig.7B) wird eine Polysiliziumschicht mittels eines geeigneten CVD-Verfahrens abgeschieden, wobei während des Abscheidens die Polysiliziumschicht 106 mit Phosphor-Atomen oder Bor-Atomen dotiert wird. Die Polysiliziumschicht 106 weist eine Dicke von ungefähr 400 nm auf.

In diesem Zusammenhang ist anzumerken, dass die Dicke der Polysiliziumschicht 106 kein kritisches Kriterium im Rahmen der Herstellungsverfahren darstellt.

Nachdem mittels eines chemisch-mechanischen Polierverfahrens das Polysilizium soweit entfernt worden ist, dass sich die Höhe einer Struktur, die schließlich das Gate 104 des Steg-Feldeffekttransistors 100 bildet, ergibt, wird eine Siliziumnitridschicht 111 als Schutzschicht auf der Polysilizium-

schicht 106 mittels eines CVD-Verfahrens abgeschieden (vgl. Fig. 7B).

- 5 Anschließend wird auf den Bereich, der für das Gate 104 des Steg-Feldeffekttransistors 500 vorgesehen ist, Photolack aufgetragen und der nicht mit dem Photolack bedeckte Teil der Siliziumnitridschicht 702 wird mittels eines Trockenätzverfahrens oder eines Nassätzverfahrens weggeätzt.
- 10 Auch die Bereiche der Polysiliziumschicht 106, die nicht durch den Photolack geschützt sind, werden mittels eines Trockenätzverfahrens oder eines Nassätzverfahrens weggeätzt. Diese Ätzung ist selektiv zu Siliziumnitrid.
- 15 Das Ätzverfahren wird an der Oberfläche der Siliziumnitridschicht 701 gestoppt.

Anschließend wird der Photolack von der Siliziumnitridschicht 111 wieder entfernt (vgl. Fig. 7B).

- 20 In einem weiteren Schritt wird eine Siliziumoxidschicht 702 der Dicke von ungefähr 500 nm mittels eines geeigneten CVD-Verfahrens über dem Steg 103, auf der Siliziumnitridschicht 701 des Stegs 103 sowie über den restlichen, bis dahin freigelegten Oberflächenbereichen des Steg-Feldeffekttransistors 500 abgeschieden.
- 25

- Mittels eines chemisch-mechanischen Polierverfahrens wird das Siliziumoxid entfernt, wobei das CMP-Verfahren gestoppt wird
- 30 an der Obergrenze der Siliziumnitridschicht 111, die auf der Polysiliziumschicht 106 angeordnet ist.

- Anschließend wird die Siliziumoxidschicht 702 anisotrop geätzt bis zur Unterkante der sich auf der Polysiliziumschicht
- 35 106 befindenden Siliziumnitridschicht 111 (vgl. Fig. 7C).

Anschließend wird eine Siliziumnitridschicht gemäß dem Ausführungsbeispiel der Dicke 50 nm, wobei anzumerken ist, dass die Dicke der Siliziumnitridschicht sehr variabel vorgebar ist, mittels eines geeigneten CVD-Verfahrens abgeschieden.

5

In einem weiteren Schritt werden die Siliziumnitrid-Spacer 501, 502 (vgl. Fig.7C) mittels eines Trockenätzverfahrens geätzt.

10 In einem letzten Schritt wird die Siliziumoxidschicht 702 auf der Siliziumnitridschicht 701 mittels eines Trockenätzverfahrens weggeätzt, wodurch Siliziumoxid-Spacer 107, 108 gebildet werden (vgl. Fig.7D).

15 In einem weiteren Schritt (vgl. Fig.7E) wird Streuoxid abgeschieden und der Source-Bereich und der Drain-Bereich des Stegs 104 werden über die Seitenwände des Stegs 103, die nunmehr freiliegen, n^+ -implantiert.

20 Ergebnis ist der Steg-Feldeffekttransistor 500, bei dem wiederum in weiteren Verfahrensschritten die Kontakte zu Source, Gate, Drain geätzt werden können oder der einem üblichen Halbleiter-Standardprozess zur Weiterbehandlung unterzogen werden kann. Auch die Silizidierung des Steg-Feldeffekt-
25 transistors 500 gemäß dem zweiten Ausführungsbeispiel ist möglich.

Fig.8 zeigt einen Steg-Feldeffekttransistor 800 gemäß einem dritten Ausführungsbeispiel.

30

Der Steg-Feldeffekttransistor 800 gemäß dem dritten Ausführungsbeispiel entspricht im wesentlichen dem Steg-Feldeffekttransistor 100 gemäß dem ersten Ausführungsbeispiel mit dem Unterschied, dass auf der Siliziumoxidschicht 102 eine Siliziumnitridschicht 801 als Ätzstoppschicht vorgesehen ist.
35 Weiter ist auf der Siliziumnitridschicht 801 eine weitere Siliziumoxidschicht 802 vorgesehen.

Durch die Ätzstoppschicht 801 ist keine "Ätzung auf Zeit" des letzten Ätzverfahrensschrittes jeweils bis zu der Oberfläche der Siliziumoxidschicht 102 erforderlich, da jeder Ätzprozess
5 automatisch an der Ätzstoppschicht 801 gestoppt wird.

Alternativ kann für eine Ätzstoppschicht 801, wie sie auch die Siliziumnitridschicht 702 gemäß dem zweiten Ausführungsbeispiel über der Siliziumoxidschicht 102 darstellt, Polysilizium verwendet werden.
10

Der Herstellungsprozess für den Steg-Feldeffekttransistor 800 gemäß dem dritten Ausführungsbeispiel entspricht ebenfalls im wesentlichen Herstellungsprozess für den Steg-Feldeffekttransistor 100 gemäß dem ersten Ausführungsbeispiel, wobei
15 allerdings die weitere Siliziumoxidschicht 802 auf der Siliziumnitridschicht 801 abgeschieden wird mittels eines CVD-Verfahrens. Nach entsprechender Präparierung der Polysiliziumschicht mit Photolack wird die weitere Siliziumoxidschicht
20 802 anisotrop geätzt mittels eines Trockenätzverfahrens oder eines Nassätzverfahrens. Das Ätzen wird auf der Siliziumnitridschicht 801 beendet.

Es ist darauf hinzuweisen, dass gemäß einem anderen Ausführungsbeispiel vorgesehen ist, den Steg-Feldeffekttransistor 500 gemäß dem zweiten Ausführungsbeispiel ohne die Ätzstoppschicht 701 vorzusehen, in welchem Fall die jeweiligen Ätzverfahren "manuell" an der Oberfläche der Siliziumoxidschicht 102 gestoppt werden müssen.
25

30

Weiterhin ist anzumerken, dass anstelle der CVD-Verfahren auch Sputter-Verfahren oder Aufdampfverfahren eingesetzt werden können, jeweils auch in Kombination miteinander.

In diesem Dokument ist folgende Veröffentlichung zitiert:

- [1] D.Hisamoto et al, A Fully Depleted Lean-Channel Transi-
stor (DELTA) - A novel vertical ultrathin SOI MOSFET,
5 IEEE Electron Device Letters, Volume 11, No. 1, S. 36 -
38, 1990

Patentansprüche

1. Steg-Feldeffekttransistor, mit
 - einem Substrat,
 - 5 • einem Steg über dem Substrat, und
 - einem Gate und einem Spacer über einem Teil des Stegs.
2. Steg-Feldeffekttransistor nach Anspruch 1,
bei dem sich das Gate und/oder der Spacer im wesentlichen
10 entlang der gesamten Höhe des Teils des Stegs erstreckt.
3. Steg-Feldeffekttransistor nach Anspruch 1 oder 2,
bei dem das Substrat Siliziumoxid aufweist.
- 15 4. Steg-Feldeffekttransistor nach einem der Ansprüche 1
bis 3,
bei dem der Steg Silizium aufweist.
5. Steg-Feldeffekttransistor nach einem der Ansprüche 1
20 bis 4,
bei dem das Gate Polysilizium aufweist.
6. Steg-Feldeffekttransistor nach einem der Ansprüche 1
bis 5,
25 bei dem der Spacer Siliziumoxid und/oder Siliziumnitrid auf-
weist.
7. Steg-Feldeffekttransistor nach einem der Ansprüche 1
bis 5,
30 • bei dem der Spacer einen ersten Spacerteil mit Silizium-
oxid und einen zweiten Spacerteil mit Siliziumnitrid auf-
weist,
• wobei der zweite Spacerteil über dem ersten Spacerteil an-
geordnet ist.
- 35 8. Steg-Feldeffekttransistor nach einem der Ansprüche 1
bis 7,

17

bei dem zwischen dem Substrat und dem Steg und dem Gate eine Ätzstoppschicht vorgesehen ist.

9. Steg-Feldeffekttransistor nach Anspruch 8,
5 bei dem die Ätzstoppschicht Siliziumnitrid aufweist.

10. Steg-Feldeffekttransistor nach einem der Ansprüche 1 bis 9,
bei dem die Höhe des Spacers bezüglich des Substrats im wesentlichen gleich ist der Höhe des Gates.
10

11. Verfahren zum Herstellen eines Steg-Feldeffekttransistors,
• bei dem auf einem Substrat ein Steg gebildet wird,
15 • bei dem über dem Substrat entlang und über einen Teil des Stegs eine Gateschicht gebildet wird,
• bei dem über der Gateschicht eine Isolationsschicht gebildet wird,
• bei dem unterhalb der Isolationsschicht die Gateschicht
20 teilweise entfernt wird, und
• bei dem unterhalb der Isolationsschicht ein Spacer gebildet wird.

12. Verfahren zum Herstellen eines Steg-Feldeffekttransistors,
25 • bei dem auf einem Substrat ein Steg gebildet wird,
• bei dem über dem Substrat entlang und über einen Teil des Stegs eine Gateschicht gebildet wird,
• bei dem über der Gateschicht eine Isolationsschicht gebil-
30 det wird,
• bei dem über dem Bereich, der nicht von der Gateschicht bedeckt ist, eine zu entfernende Schicht gebildet wird bis zu einer Höhe, die oberhalb des Stegs und unterhalb der Isolationsschicht liegt,
35 • bei dem über einem Teil der zu entfernenden Schicht ein Spacer gebildet wird,

- bei dem die zu entfernende Schicht im wesentlichen bis auf den Teil entfernt wird, der direkt unterhalb des Spacers liegt.
- 5 13. Verfahren nach Anspruch 11 oder 12,
bei dem zumindest ein Teil der Elemente des Steg-
Feldeffekttransistors mittels Abscheiden gebildet werden.
- 10 14. Verfahren nach einem der Ansprüche 11 bis 13,
bei dem für das Substrat Siliziumoxid verwendet wird.
- 15 15. Verfahren nach einem der Ansprüche 11 bis 14,
bei dem für den Steg Silizium verwendet wird.
- 16 16. Verfahren nach einem der Ansprüche 11 bis 15,
bei dem für das Gate Polysilizium verwendet wird.
- 17 17. Verfahren nach einem der Ansprüche 11 bis 16,
bei dem für den Spacer Siliziumoxid und/oder Siliziumnitrid
20 verwendet wird/werden.
- 18 18. Verfahren nach einem der Ansprüche 11 bis 17,
bei dem der Spacer auf folgende Weise gebildet wird:
- es wird ein erster Spacerteil mit Siliziumoxid gebildet,
 - 25 • es wird über dem ersten Spacerteil ein zweiter Spacerteil
mit Siliziumnitrid gebildet.
- 19 19. Verfahren nach einem der Ansprüche 11 bis 18,
bei dem zwischen dem Substrat und dem Steg und dem Gate eine
30 Ätzstoppschicht gebildet wird.
- 20 20. Verfahren nach Anspruch 19,
bei dem für die Ätzstoppschicht Siliziumnitrid verwendet
wird.
- 35 21. Verfahren nach einem der Ansprüche 11 bis 20,

bei dem der Spacer derart gebildet wird, dass dessen Höhe bezüglich des Substrats im wesentlichen gleich ist der Höhe des Gates.

1/8

FIG 1

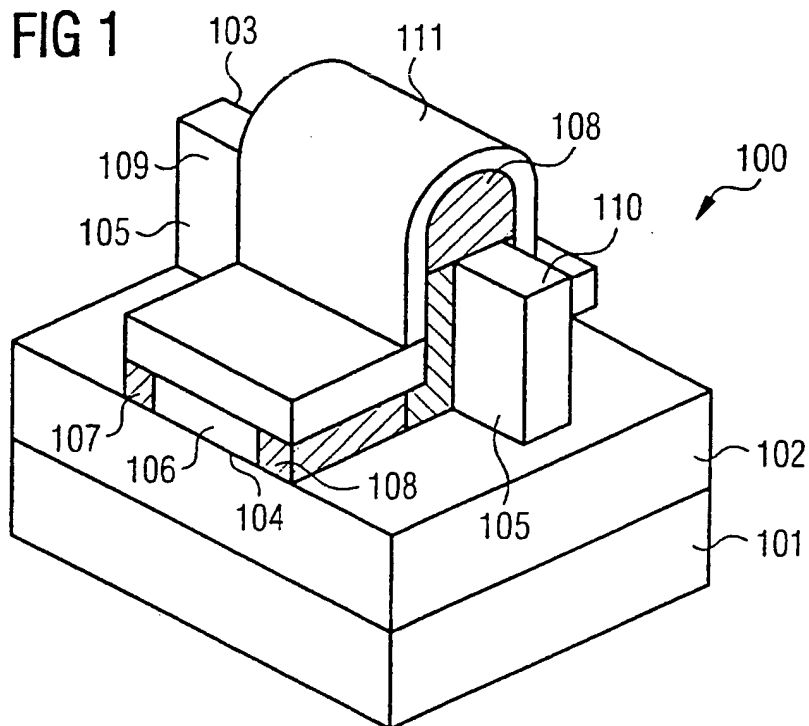
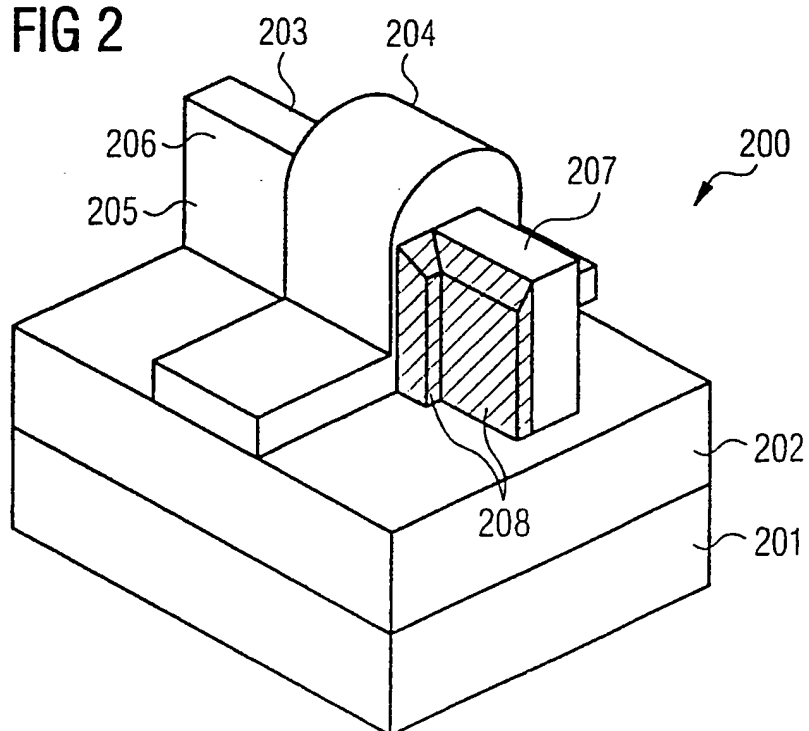


FIG 2



BEST AVAILABLE COPY

2/8

FIG 3

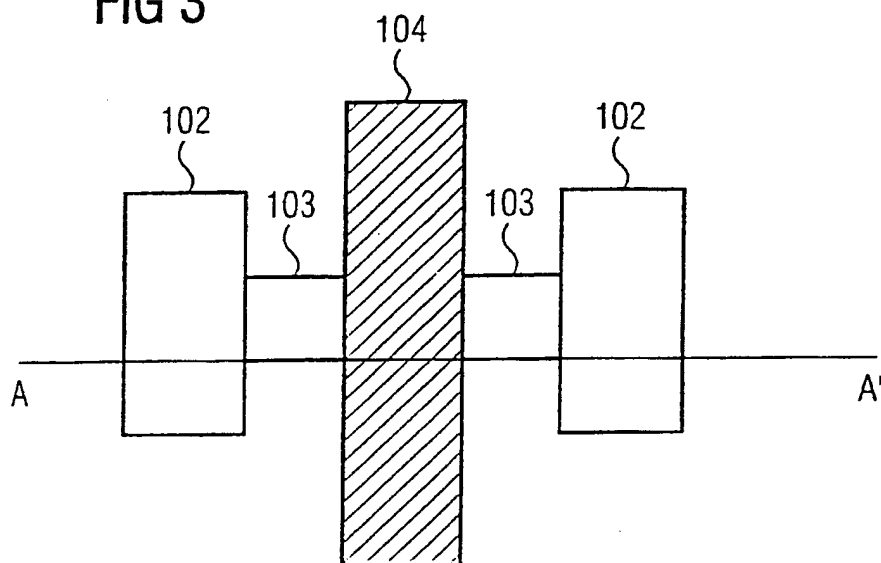
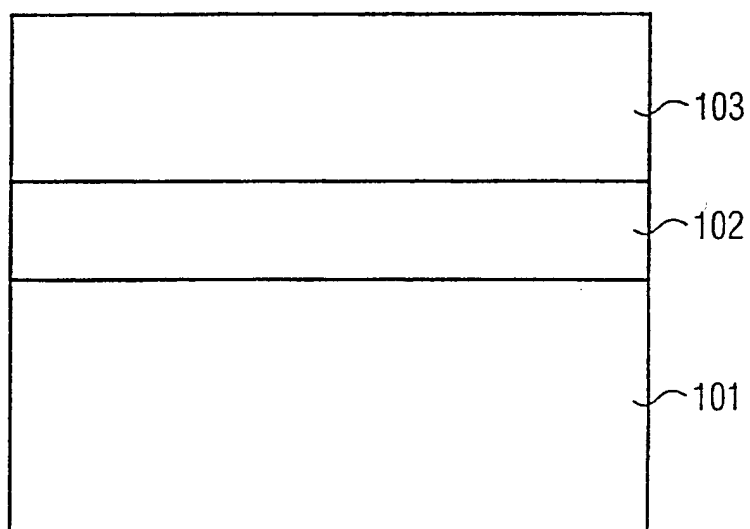


FIG 4 A



3/8

FIG 4 B

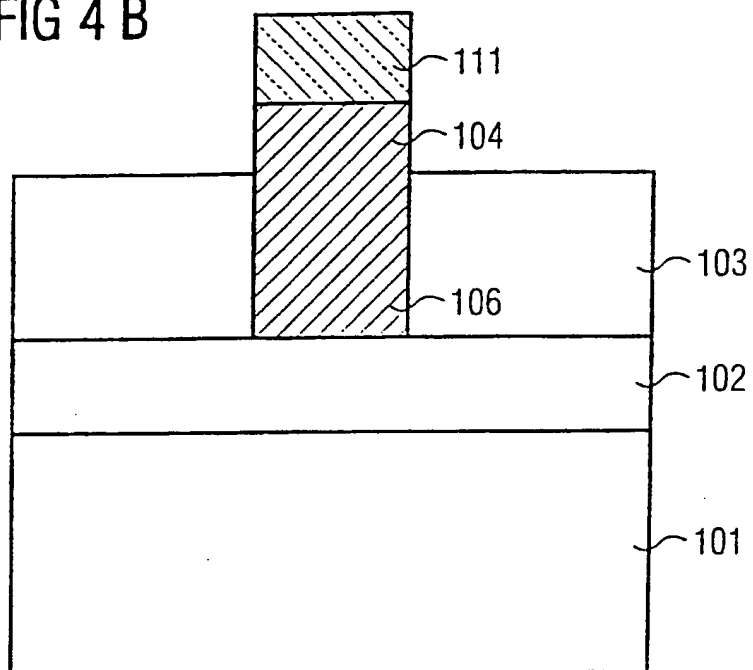
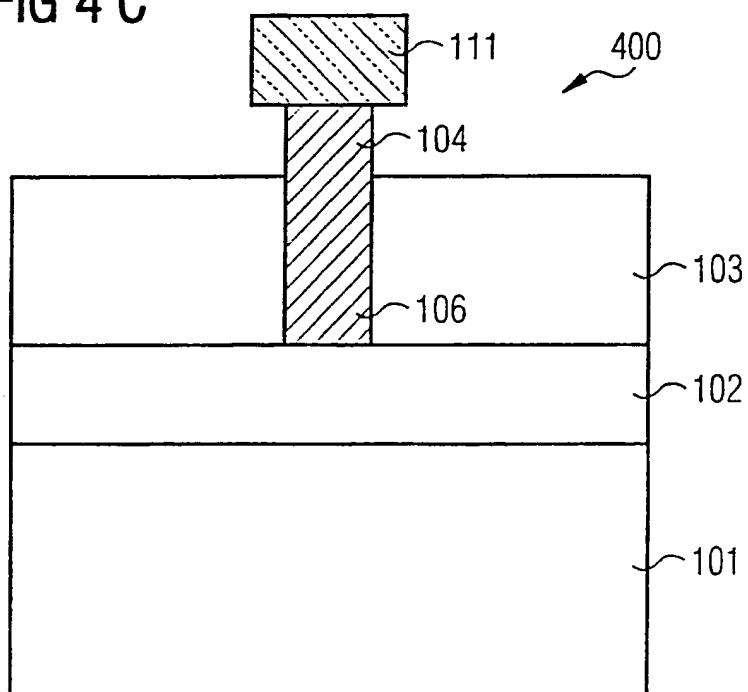


FIG 4 C



4/8

FIG 4 D

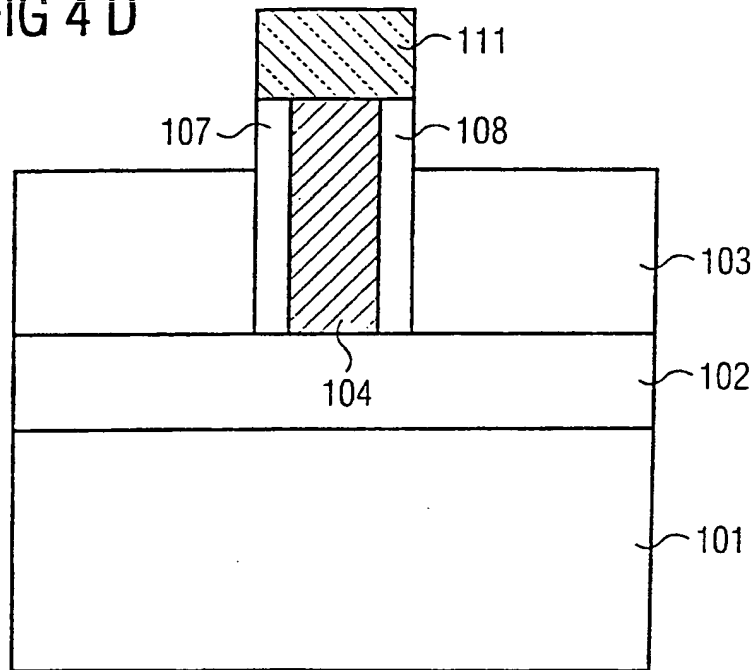
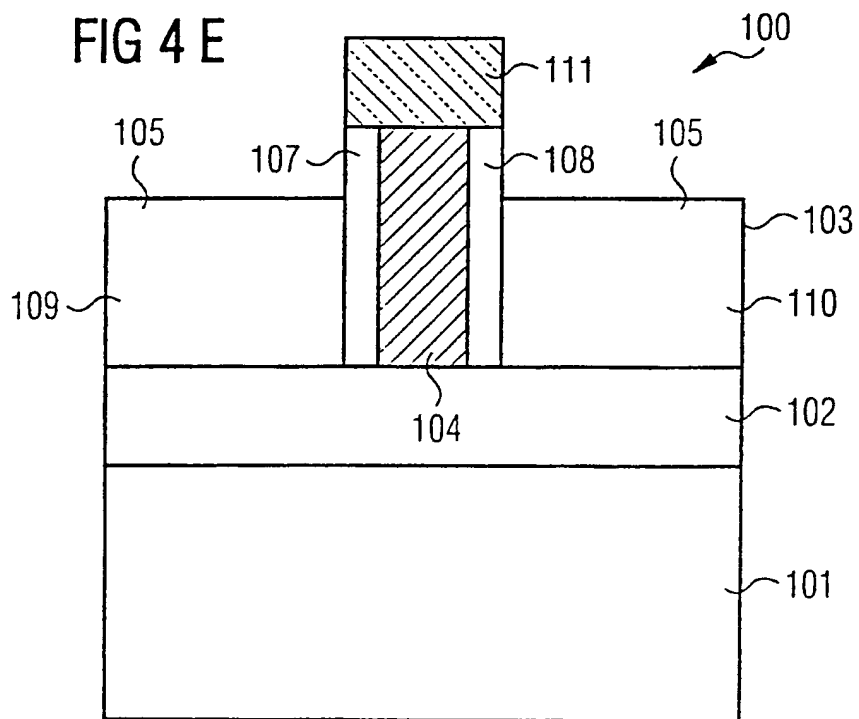


FIG 4 E



5/8

FIG 5

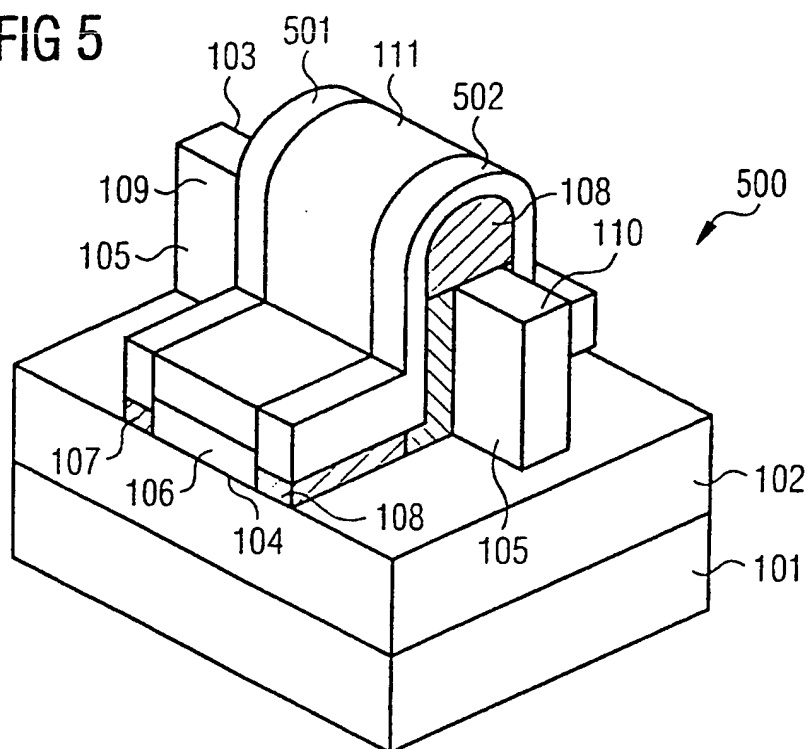
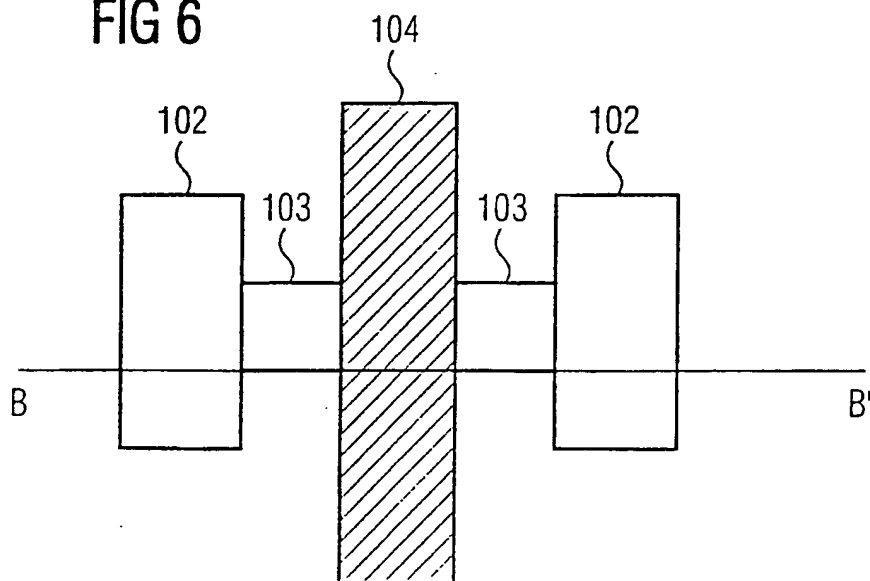


FIG 6



6/8

FIG 7 A

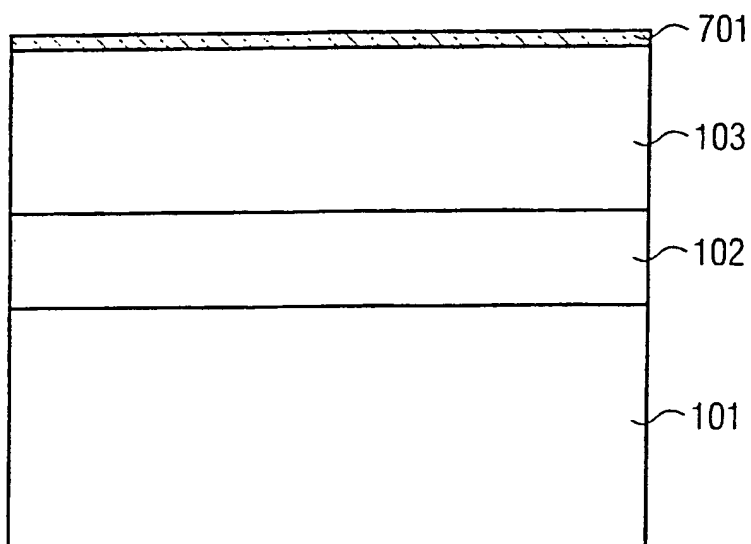
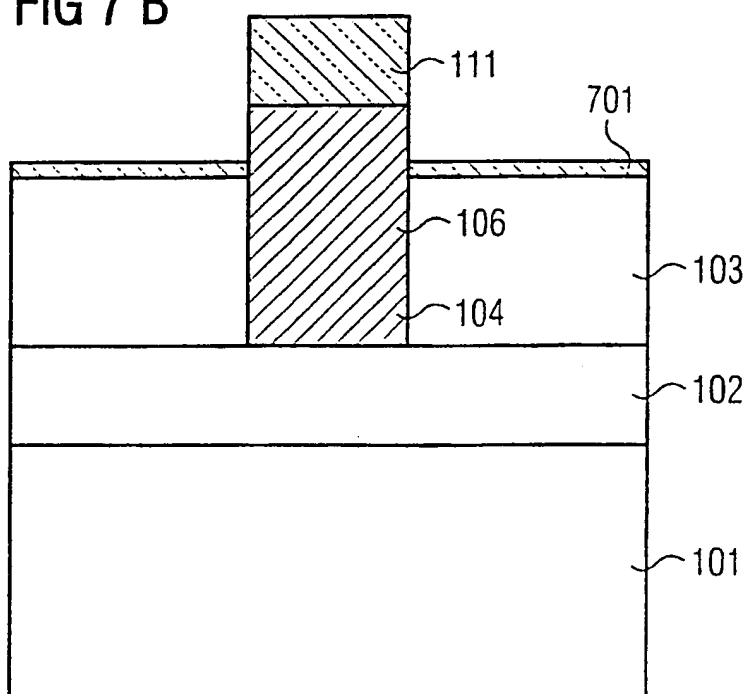


FIG 7 B



7/8

FIG 7 C

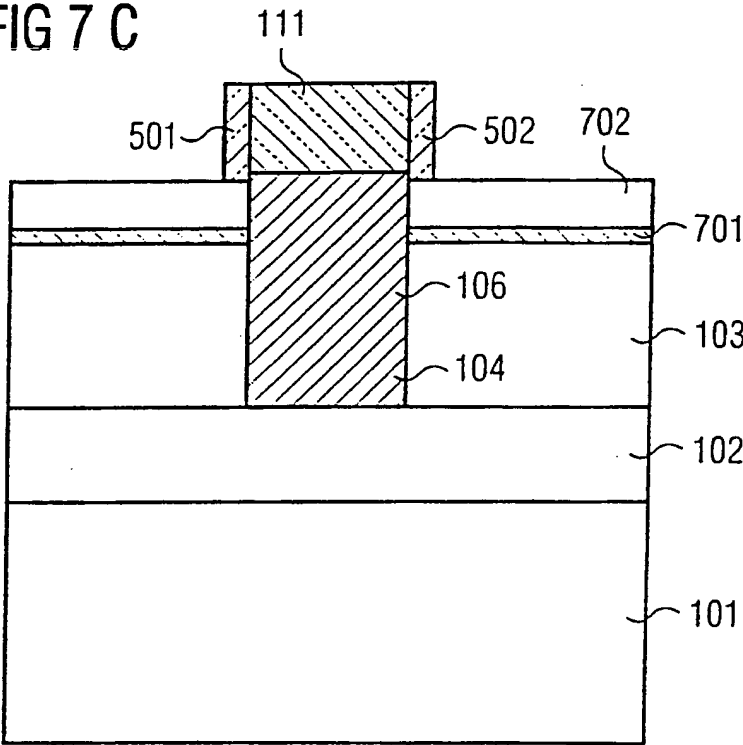
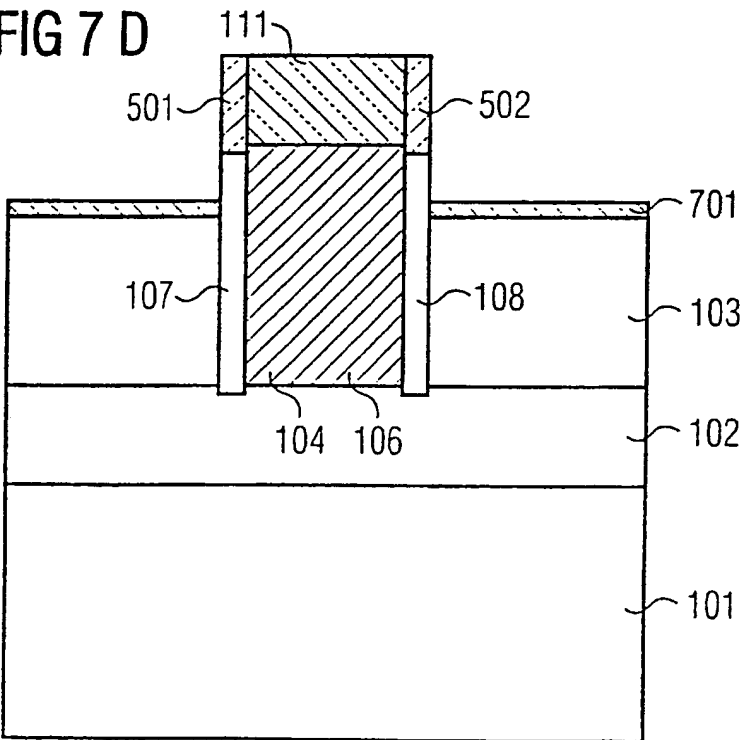


FIG 7 D



8/8

FIG 7 E

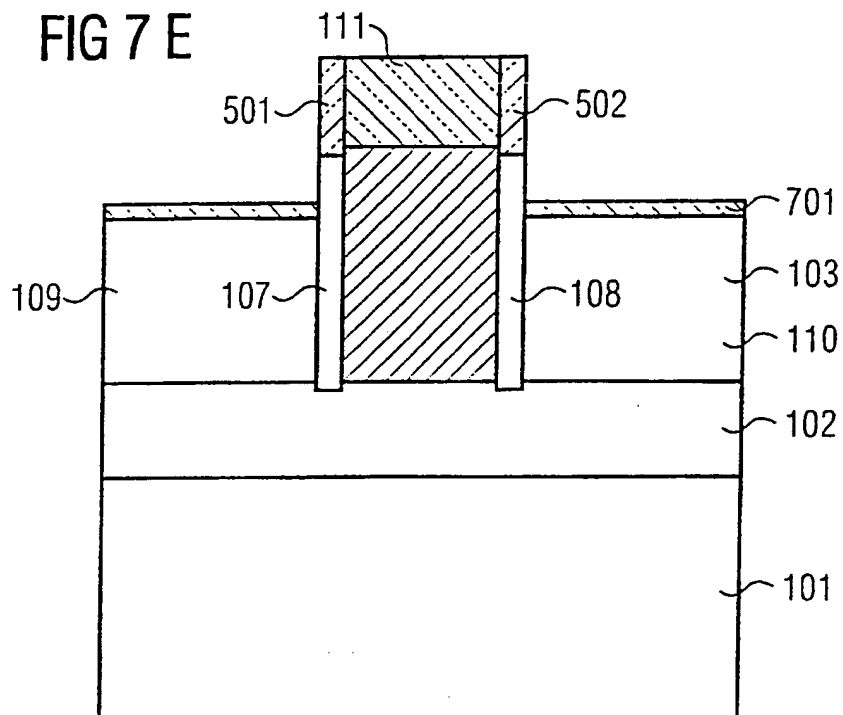
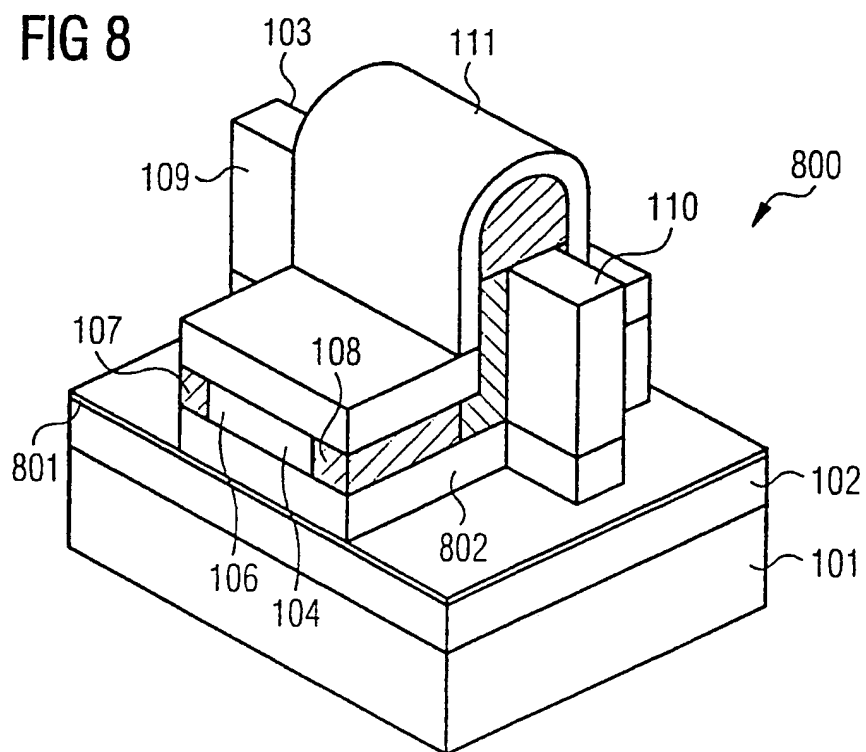


FIG 8



BEST AVAILABLE COPY

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 01/00878

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L29/786 H01L21/336 H01L29/423

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 512 517 A (BRYANT ANDRES) 30 April 1996 (1996-04-30) figure 9	1-5, 10
A	US 5 801 397 A (CUNNINGHAM JAMES A) 1 September 1998 (1998-09-01) column 7, line 7 - line 10; figure 5	11-21
A	US 5 637 884 A (YANG HAE C) 10 June 1997 (1997-06-10) figures 3,4	11-21
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

Z document member of the same patent family

Date of the actual completion of the international search

30 July 2001

Date of mailing of the international search report

10/08/2001

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Juhl, A

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 01/00878

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DIGH HISAMOTO ET AL: "A FULLY DEPLETED LEAN-CHANNEL TRANSISTOR (DELTA) - A NOVEL VERTICAL ULTRATHIN SOI MOSFET" IEEE ELECTRON DEVICE LETTERS, IEEE INC. NEW YORK, US, vol. 11, no. 1, 1990, pages 36-38, XP000085371 ISSN: 0741-3106 cited in the application figure 1	1-21
A	EP 0 623 963 A (SIEMENS AG) 9 November 1994 (1994-11-09) figures 1-6	1-21
A	US 4 996 574 A (SHIRASAKI MASAHIRO) 26 February 1991 (1991-02-26) figure 4	1-21
P,X	DE 199 24 571 A (SIEMENS AG) 30 November 2000 (2000-11-30) figure 5	1,3-5,10

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 01/00878

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5512517 A	30-04-1996	JP 8306920 A US 5793082 A	22-11-1996 11-08-1998
US 5801397 A	01-09-1998	US 5705405 A EP 0704909 A JP 8181328 A	06-01-1998 03-04-1996 12-07-1996
US 5637884 A	10-06-1997	KR 205442 B JP 9186341 A US 5811324 A	01-07-1999 15-07-1997 22-09-1998
EP 0623963 A	09-11-1994	JP 7050421 A	21-02-1995
US 4996574 A	26-02-1991	JP 2014578 A	18-01-1990
DE 19924571 A	30-11-2000	WO 0074143 A	07-12-2000

PCT/DE 01/00878

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Siehe Anhang Patentfamilie

*& Veröffentlichung, die Mitglied derselben Patentfamilie ist

Absendedatum des internationalen Recherchenberichts

10/08/2001

Bevollmächtigter Bediensteter

Juhl, A

INTERNATIONALER RECHERCHENBERICHT

In. ationales Aktenzeichen

PCT/DE 01/00878

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	DIGH HISAMOTO ET AL: "A FULLY DEPLETED LEAN-CHANNEL TRANSISTOR (DELTA) - A NOVEL VERTICAL ULTRATHIN SOI MOSFET" IEEE ELECTRON DEVICE LETTERS, IEEE INC. NEW YORK, US, Bd. 11, Nr. 1, 1990, Seiten 36-38, XP000085371 ISSN: 0741-3106 in der Anmeldung erwähnt Abbildung 1 ---	1-21
A	EP 0 623 963 A (SIEMENS AG) 9. November 1994 (1994-11-09) Abbildungen 1-6 ---	1-21
A	US 4 996 574 A (SHIRASAKI MASAHIRO) 26. Februar 1991 (1991-02-26) Abbildung 4 ---	1-21
P,X	DE 199 24 571 A (SIEMENS AG) 30. November 2000 (2000-11-30) Abbildung 5 -----	1,3-5,10

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

In. ationales Aktenzeichen

PCT/DE 01/00878

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5512517 A	30-04-1996	JP 8306920 A US 5793082 A	22-11-1996 11-08-1998
US 5801397 A	01-09-1998	US 5705405 A EP 0704909 A JP 8181328 A	06-01-1998 03-04-1996 12-07-1996
US 5637884 A	10-06-1997	KR 205442 B JP 9186341 A US 5811324 A	01-07-1999 15-07-1997 22-09-1998
EP 0623963 A	09-11-1994	JP 7050421 A	21-02-1995
US 4996574 A	26-02-1991	JP 2014578 A	18-01-1990
DE 19924571 A	30-11-2000	WO 0074143 A	07-12-2000